

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Attorney Docket No. 249/437

In re patent application of

Dong-wook KIM, et al.

Group Art Unit: (Unassigned)

Serial No. (Unassigned)

Examiner: (Unassigned)

Filed: Concurrently

For: ELECTRON BEAM LITHOGRAPHY APPARATUS USING A PATTERNED
EMITTER AND METHOD OF FABRICATING THE PATTERNED EMITTER

CLAIM FOR CONVENTION PRIORITY

Commissioner for Patents
P.O. Box 1450
Alexandria, VA. 22313-1450

Sir:


The benefit of the filing date of the following prior foreign application filed in the following foreign country is hereby requested, and the right of priority provided in 35 U.S.C. § 119 is hereby claimed.

In support of this claim, filed herewith is a certified copy of said original foreign application:

Korean Application No. 2003-16017, filed March 14, 2003.

Respectfully submitted,

March 10, 2004
Date


Eugene M. Lee
Reg. No. 32,039
Richard A. Sterba
Reg. No. 43,162

LEE & STERBA, P.C.
1101 Wilson Boulevard Suite 2000
Arlington, VA 20009
Telephone: (703) 525-0978

대한민국 특허청

KOREAN INTELLECTUAL PROPERTY OFFICE

별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Intellectual
Property Office.

출원 번호 : 10-2003-0016017
Application Number

출원 년 월 일 : 2003년 03월 14일
Date of Application MAR 14, 2003

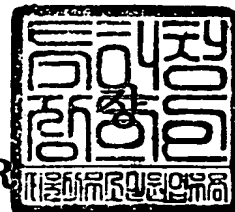
출원인 : 삼성전자주식회사
Applicant(s) SAMSUNG ELECTRONICS CO., LTD.



2003 년 04 월 04 일

특 허 청

COMMISSIONER



【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【창조번호】	0008
【제출일자】	2003.03.14
【국제특허분류】	H01J
【발명의 명칭】	패터닝된 에미터를 이용한 노광장치 및 그 제조방법
【발명의 영문명칭】	Apparatus of electron lithography using a patterned emitter and fabricating method thereof
【출원인】	
【명칭】	삼성전자 주식회사
【출원인코드】	1-1998-104271-3
【대리인】	
【성명】	이영필
【대리인코드】	9-1998-000334-6
【포괄위임등록번호】	2003-003435-0
【대리인】	
【성명】	이해영
【대리인코드】	9-1999-000227-4
【포괄위임등록번호】	2003-003436-7
【발명자】	
【성명의 국문표기】	김동욱
【성명의 영문표기】	KIM,Dong Wook
【주민등록번호】	720322-1118011
【우편번호】	137-131
【주소】	서울특별시 서초구 양재1동 10-17번지 201호
【국적】	KR
【발명자】	
【성명의 국문표기】	유인경
【성명의 영문표기】	Y00, In Kyeong
【주민등록번호】	530116-1042213

【우편번호】	442-470
【주소】	경기도 수원시 팔달구 영통동 두산아파트 805동 505호
【국적】	KR
【발명자】	
【성명의 국문표기】	문창욱
【성명의 영문표기】	MOON, Chang Wook
【주민등록번호】	630523-1042719
【우편번호】	139-240
【주소】	서울특별시 노원구 공릉2동 106번지 공릉효성화운트빌 302동 1402호
【국적】	KR
【심사청구】	청구
【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인 이영필 (인) 대리인 이해영 (인)
【수수료】	
【기본출원료】	20 면 29,000 원
【가산출원료】	3 면 3,000 원
【우선권주장료】	0 건 0 원
【심사청구료】	27 항 973,000 원
【합계】	1,005,000 원
【첨부서류】	1. 요약서·명세서(도면)_1통

【요약서】**【요약】**

패터닝된 에미터를 이용한 전자방출 노광장치 및 그 제조방법이 제공된다. 개시된 전자방출 노광장치는 초전체 평판 상에 패터닝된 반도체 박막이 표면에 형성된 유전체 평판을 마스크로 이용하여 전자방출을 한다. 상기 마스크는 별도로 제작되어서 상기 초전체 평판에 적층되어서 제조된다. 이에 따르면, 마스크의 식각이 용이하며, 초전체 평판이 레지스트로부터 오염되는 것을 방지할 수 있다.

【대표도】

도 1

【명세서】

【발명의 명칭】

패터닝된 에미터를 이용한 노광장치 및 그 제조방법{Apparatus of electron lithography using a patterned emitter and fabricating method thereof}

【도면의 간단한 설명】

도 1은 본 발명의 일 실시예에 따른 1:1 투사용 전자방출 노광장치의 개략적 구성을 보여주는 단면도이다.

도 2는 LiNbO_3 로 만든 평판 상의 실리콘 박막의 유무에 따라 평판을 상온으로부터 120 °C 까지 가열한 후 상온까지 냉각하였을 때 평판으로부터 방출된 전류의 값을 플로팅한 그래프이다.

도 3은 본 발명의 다른 실시예에 따른 x:1 투사용 전자방출 노광장치의 개략적인 구성을 보여주는 단면도이다.

도 4a 내지 도 4e는 본 발명에 따른 전자빔 소스인 패터닝된 초전체 에미터의 제조 공정을 보여주는 도면이다.

* 도면의 주요부분에 대한 부호의 설명 *

110,210: 에미터	111,211 : 초전체 평판
112,212: 에미터 마운트	113,213: 유전체 평판
114,214: 반도체 박막	117,217: 전자 빔
118,218: 열원	120,220: 기판
122,222: 기판 홀더	124,224: 전자 레지스트

130,130': 자석 또는 직류자장 발생장치

140,240: 마스크

252: 편향판

254: 자기렌즈(magnetic lens) 256: 조리개

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

<14> 본 발명은 패터닝된 에미터를 이용한 노광장치 및 그 제조방법에 관한 것으로서, 더욱 상세하게는 패터닝된 반도체 박막이 표면에 형성된 유전체 평판을 마스크로 하는 초전체 평판을 전자빔 소스로 한 노광장치 및 패터닝된 에미터를 제조하는 방법에 관한 것이다.

<15> 대면적의 전자 투사장치(electron projection lithography)에는 열전자(thermionic electron) 소스를 이용하는 노광장치와 광음극(photocathode) 투사장치가 개발되어 왔다.

<16> 열전자(thermionic electron) 소스를 이용하는 노광장치는 전기 및 자기장을 이용하여 전자빔을 제어하지만, 대면적의 전자소스를 위해서는 방사상으로 퍼지는 전자빔을 평행하게 유지하는 장치를 필요로 하며, 그 구조가 복잡하다.

<17> 대면적 전자 소스가 가능한 광음극(photocathode) 투사장치는 공기 오염에 극히 민감하여 상용화가 어려운 문제가 있다.

<18> 최근에는 전자빔 소스를 이용하는 투사장치가 개발되고 있다. 특히, 미국공개특허 제2003-6381호에는 마스크를 초전체 평판에 형성하여 노출된 영역으로부터 전자를 방출시키는 기술이 개시되어 있다.

<19> 그러나, 전자빔을 차폐할 목적으로 금속박막을 사용하는 경우, 금속박막의 식각이 어려우며, 초전체 평판 상의 금속박막의 패터닝 과정에서 초전체 평판이 포토레지스트에 오염이 되며, 또한 베이킹(baking) 과정의 열적 대미지(thermal damage)를 받는 문제가 발생될 수 있다.

【발명이 이루고자 하는 기술적 과제】

<20> 본 발명은 상기의 문제점을 개선하기 위해 창출된 것으로서, 본 발명의 목적은 패터닝이 용이한 반도체 박막을 마스크로 하는 전자빔 소스를 사용하여 전자를 방출하는 노광장치를 제공하는 것이다.

<21> 본 발명의 다른 목적은 별도로 제작된 패터닝된 마스크를 초전체 평판에 배치하여 전자빔 소스를 제조하는 방법을 제공하는 것이다.

【발명의 구성 및 작용】

<22> 상기의 목적을 달성하기 위하여 본 발명의 패터닝된 에미터를 이용한 1:1 투사용 노광장치는, 초전체 평판 상에 패터닝된 반도체 박막이 표면에 형성된 소정 두께의 유전체 평판이 적층되고, 기판 홀더에 대하여 소정 간격을 두고 배치되며, 상기 기판 홀더와 마주보는 면에 상기 패터닝된 반도체 박막이 배치되는 초전체 에미터;

<23> 상기 에미터를 가열하는 열원; 및

- <24> 상기 에미터로부터 방출된 전자들의 경로를 제어하기 위하여, 상기 에미터 및 상기 기판 홀더의 외곽에 배치된 자석 또는 직류자장 발생장치;를 구비한다.
- <25> 상기 초전체 평판 및 상기 유전체 평판 사이에 소정 두께의 접착층이 더 형성된 것이 바람직하다.
- <26> 상기 열원은 전기저항 가열을 이용하는 접촉식 가열판 또는 적외선을 발생하는 원격 가열 장치인 것이 바람직하다.
- <27> 상기 초전체 평판은, LiNbO_3 , LiTaO_3 , BaTiO_3 및 $\text{Pb}(\text{Zr}, \text{Ti})\text{O}_3$ 으로 이루어진 그룹 중 선택된 초전체로 제조되는 것이 바람직하다.
- <28> 상기 유전체 평판은 0.1 ~ 1 mm 두께의 사파이어 평판인 것이 바람직하다.
- <29> 상기 반도체 박막은 100 ~ 10,000 Å 두께로 형성된 실리콘 박막인 것이 바람직하다.
- <30> 또한, 초전체 평판 상에 패터닝된 반도체 박막이 표면에 형성된 소정 두께의 유전체 평판이 적층되고, 기판 홀더에 대하여 소정 간격을 두고 배치되며, 상기 기판 홀더와 마주보는 면에 상기 패터닝된 반도체 박막이 배치되는 초전체 에미터;
- <31> 상기 에미터를 가열하기 위한 열원; 및
- <32> 상기 에미터로부터 방출된 전자들의 경로를 제어하기 위하여, 상기 에미터와 상기 기판 홀더 사이에 배치된 편향장치;를 구비하는 것을 특징으로 하는 x:1 투사용 전자방출 노광장치가 제공된다.
- <33> 상기 편향장치는, 상기 에미터로부터 방출된 전자들을 편향시키는 편향판들; 및

- <34> 상기 평향된 전자들을 집속시키는 적어도 하나의 자기 렌즈;를 구비하는 것이 바람직하다.
- <35> 상기의 목적을 달성하기 위하여 본 발명의 패터닝된 에미터를 제조하는 방법은,
- <36> (a)초전체 평판을 준비하는 단계;
- <37> (b)유전체 평판 상에 패터닝된 반도체 박막을 형성하여 패터닝된 마스크를 준비하는 단계; 및
- <38> (c)상기 초전체 평판 상에 상기 패터닝된 마스크를 배치하는 단계;를 구비한다.
- <39> 상기 (b)단계는,
- <40> (b1)소정 두께의 유전체 평판 상에 소정 두께의 반도체 박막 및 레지스트를 순차적으로 형성하는 단계;
- <41> (b2)상기 레지스트를 소정의 패턴으로 패터닝하는 단계;
- <42> (b3)상기 레지스트 패턴을 마스크로 하여 상기 반도체 박막을 패터닝하는 단계; 및
- <43> (b4)상기 감광막 패턴을 제거하는 단계;를 구비하는 것이 바람직하다.
- <44> 상기 (c)단계는,
- <45> 상기 초전체 평판 상에 접착층을 형성하고, 상기 접착층 상에 상기 패터닝된 마스크를 접착시키는 단계;인 것이 바람직하다.
- <46> 이하, 첨부된 도면들을 참조하여 본 발명의 바람직한 실시예에 따른 패터닝된 초전체 에미터를 이용한 전자방출 노광장치를 상세히 설명한다. 이 과정에서 도면에 도시된 층이나 영역들의 두께는 명세서의 명확성을 위해 과장되게 도시된 것이다.

- <47> 도 1은 본 발명의 일 실시예에 따른 1:1 투사용 전자방출 노광장치의 개략적인 단면도를 나타낸 것이며, 전자 레지스트가 형성된 기판을 함께 도시하였다.
- <48> 도 1을 참조하면, 기판 홀더(122) 상에 전자 레지스트(124)가 도포된 기판(120)이 배치되어 있다. 그리고, 상기 기판(120)으로부터 소정 거리 이격되어 진공상태에서 열을 받으면 전자 빔(117)을 방출하는 초전체 에미터(110)가 에미터 마운트(112)에 장착되어 있다.
- <49> 상기 초전체 에미터(110)는 적층 구조로서, 최하부에는 초전체 평판(111)이 배치되어 있으며, 그 위에 유전체 평판(113)이 적층되어 있다. 그리고 유전체 평판(113) 위에는 소정의 패턴으로 패터닝된 반도체 박막(114)이 형성되어 있다.
- <50> 상기 초전체 평판(111)은 전기저항 가열을 이용하는 접촉식 가열판 또는 적외선을 발생하는 원격 가열장치 등의 열원(118)으로부터 열을 공급받는다.
- <51> 상기 평판(111) 및 기판 홀더(122)의 바깥쪽에는 각각 상기 초전체 에미터(110)로부터 방출된 전자 빔들(117)의 경로를 제어하는 전자석 또는 영구자석(130, 130')이 배치된다. 상기 자석(130, 130') 대신에 직류자장 발생장치가 배치되어도 된다.
- <52> 상기 초전체 평판(111)은 LiNbO_3 , LiTaO_3 , BaTiO_3 , $\text{Pb}(\text{Zr}, \text{Ti})\text{O}_3$ 등과 같은 초전체 물질(pyroelectric material)로 만들어지며, 진공상태에서 열원(118)으로부터 열을 받으면 전자를 방출한다.
- <53> 상기 반도체 박막(114)은 가공이 용이하고 가격이 저렴하며 반도체 공정에서 널리 사용되는 실리콘 재질로 형성되며, 100 ~ 10,000 Å 두께로 형성되는 것이 바람직하다.

- <54> 상기 유전체 평판(113)은 바람직하게는 사파이어를 사용하여 0.1 ~ 1 mm 두께로 형성되는 것이 바람직하다.
- <55> 도 2는 LiNbO_3 로 만든 1 mm 두께의 평판(111)을 가열하였을 때 평판 상의 실리콘 박막의 유무에 따라서 평판으로부터 방출된 전류의 값을 플로팅한 그래프이다. 도 2를 참조하면, LiNbO_3 평판을 상온인 20 °C에서 120 °C 까지 온도 가열후, 다시 상온으로 냉각하는 과정에서 LiNbO_3 평판 자체로부터의 전자방출은 상온인 20 °C에서 50 °C 까지 가열하여도 초전체 평판으로부터 전자가 방출되지 않았으며, 50 °C부터 전자가 방출되면서 약 110 °C에서 전자 레지스트의 패터닝에 필요한 전자 조사량(electron dose)이 방출되었다(도 2의 bare LN). 그러나, 초전체 평판(111) 상에 약 500 Å 두께의 비정질 실리콘 박막을 증착한 경우(도 2의 a-Si/LN)와, 도핑되지 않은 비정질 실리콘 박막을 증착한 경우(도 2의 undoped a-Si/LN)에는 초전체 평판이 가열되어도 전자가 거의 방출되지 않는 것을 알 수 있다. 따라서 실리콘 박막은 전자가 방출되는 것을 막는 차폐 역할을 하는 것을 알 수 있다.
- <56> 상기 구성을 가지는 1:1 투사용 전자방출 노광장치의 동작원리는 다음과 같다. 먼저, 전자 레지스트(124)를 도포한 기판(120)을 기판 홀더(122)에 올려 놓은 다음에 에미터(110)를 가열한다. 이 때 상기 열원(118)으로 초전체 평판(111)을 진공 상태, 예컨대 2×10^{-5} torr 이하로 유지된 상태에서 소정 온도, 예컨대 110 °C 로 가열하면 패터닝된 반도체 박막(114)에 의해서 노출된 유전체 평판(113)으로부터 전자빔(117)이 방출된다. 이 전자빔(117)은 영구자석 또는 전자석(130, 130')에 의해 형성된 약 0.8 Tesla 의 직류 자기장에 의해서 직진되어서 기판(120) 상의 전자 레지스트(124)를 패터닝하게 된다.

이 때 반도체 박막(114)에 의해서 형성된 에미터(110)의 패턴은 기판에 1:1 비율로 투사된다. 반복되는 투사를 위해서는 에미터(110)의 가열 및 냉각을 반복한다.

<57> 상기 실시예에서는 초전체 에미터(110)가 에미터 마운트(112)에 장착되었으나, 가열판으로 에미터 마운트(112)를 대체할 수도 있다.

<58> 또한, 상기 열원(118)은 적외선을 발생하는 원격 가열장치(미도시)를 사용할 수도 있다.

<59> 도 3은 본 발명의 다른 실시예에 따른 x:1 투사용 전자방출 노광장치의 개략적인 단면도를 나타낸 것이며, 전자 레지스트가 표면에 형성된 기판을 함께 도시하였으며, 상기 실시예와 동일한 구성요소에는 동일한 도면부호를 사용하고 상세한 설명은 생략한다.

<60> 도 3을 참조하면, 기판 홀더(222) 상에 전자 레지스트(224)가 도포된 기판(220)이 배치되어 있다. 그리고, 상기 기판(220)으로부터 소정 거리 이격되어 외부로부터 열을 받으면 전자 빔(217)을 방출하는 초전체 에미터(210)가 에미터 마운트(212)에 장착되어 있다.

<61> 상기 초전체 에미터(210)는 적층 구조로서, 최하부에는 초전체 평판(211)이 배치되어 있으며, 그 위에 유전체 평판(213)이 적층되어 있다. 그리고 유전체 평판(213) 위에는 소정의 패턴으로 패터닝된 반도체 박막(214)이 형성되어 있다.

<62> 상기 초전체 평판(211)은 전기저항 가열을 이용하는 접촉식 가열판 또는 적외선을 발생하는 원격 가열장치 등의 열원(218)으로부터 열을 공급받는다.

<63> 상기 초전체 평판(211) 및 기판 홀더(222) 사이에는 상기 에미터(210)로부터 방출된 전자 빔(217)들을 평행시키는 편향판들(252)과, 상기 편향판들(252) 상에 배치되어

상기 편향된 전자빔들(217)을 집속시키는 자기렌즈들(254)과, 상기 자기렌즈(254)에 의해 집속된 전자빔들(217)을 통과시키며, 상기 집속된 전자들로부터 이탈된 전자들을 거르는 조리개(256)가 배치되어 있다.

- <64> 상기 초전체 평판(211)은 LiNbO_3 , LiTaO_3 , BaTiO_3 , $\text{Pb}(\text{Zr},\text{Ti})\text{O}_3$ 등과 같은 초전체 물질(pyroelectric material)로 만들어지며, 진공상태에서 열원(218)으로부터 열을 받으면 전자를 방출한다.
- <65> 상기 반도체 박막(214)은 가공이 용이하고 가격이 저렴하며 반도체 공정에서 널리 사용되는 실리콘 재질로 형성되며, $100 \sim 10,000 \text{ \AA}$ 두께로 형성되는 것이 바람직하다.
- <66> 상기 유전체 평판(213)은 바람직하게는 사파이어를 사용하여 $0.1 \sim 1 \text{ mm}$ 두께로 형성되는 것이 바람직하다.
- <67> 상기 구성을 가지는 x:1 투사용 전자방출 노광장치의 동작원리는 다음과 같다. 먼저, 전자 레지스트(224)를 도포한 기판(220)을 기판 홀더(222)에 올려 놓은 다음에 에미터(210)를 가열한다. 이 때 상기 열원(218)으로 초전체 평판(211)을 진공상태, 예컨대 $2 \times 10^{-5} \text{ torr}$ 이하로 유지된 상태에서 소정 온도, 예컨대 $110 \text{ }^\circ\text{C}$ 로 가열하면 패터닝된 반도체 박막(214)에 의해서 노출된 유전체 평판(213)으로부터 전자빔(217)이 방출된다. 이 전자빔(217)은 편향판(252) 및 자기 렌즈(254)에 의해서 집속되어 에미터 패턴의 크기를 소정의 비율(x:1)로 축소시킨다.
- <68> 상기 실시예에서는 전자빔 방출 에미터가 에미터 마운트에 장착되었으나, 가열판으로 에미터 마운트를 대체할 수도 있다.

- <69> 도 4a 내지 도 4e는 본 발명에 따른 전자빔 소스인 패터닝된 초전체 에미터의 제조 공정을 보여주는 도면이며, 상기 실시예들과 실질적으로 동일한 구성요소에는 동일한 도면부호를 사용하고 상세한 설명은 생략한다.
- <70> 먼저, LiNbO_3 , LiTaO_3 , BaTiO_3 , $\text{Pb}(\text{Zr}, \text{Ti})\text{O}_3$ 등과 같은 초전체 물질을 사용하여 소정 두께, 예컨대 1 mm 두께의 초전체 평판(도 4e의 211)을 준비한다.
- <71> 이어서 패터닝된 마스크(240)를 준비하는 과정을 설명한다.
- <72> 먼저, 도 4a에 도시된 바와 같이, 두께 0.1~ 1 mm 두께의 유전체 평판(213), 예컨대 사파이어 평판 상에 식각이 용이한 반도체 박막(214), 예컨대 실리콘 박막을 10^4 ~ $10,000 \text{ \AA}$ 두께로 증착한다. 그리고 반도체 박막(214) 상에 감광제(Resist: R)를 코팅한다.
- <73> 이어서, 포토리소그래피(photolithography) 또는 전자빔 리소그래피(electron beam lithography) 방법을 이용하여 노광 및 현상을 통해서 상기 감광제(R)를 패터닝한다(도 4b 참조).
- <74> 다음에 패터닝된 감광제(R)를 마스크(240)로 하여서 실리콘 박막(214)을 RIE(Reactive Ion Etching) 식각하여 패터닝한다(도 4c 참조).
- <75> 이어서 잔류 감광제(R)를 제거하면 실리콘 박막(214)의 패턴이 완성된다(도 4d 참조).
- <76> 이어서, 상기 과정에서 완성된 마스크(240)를 미리 준비한 초전체 평판(211) 상에 배치하면 전자빔 소스인 패터닝된 에미터가 제조된다(도 4e 참조). 한편, 상기 마스크

(240) 및 초전체 평판(211) 사이에 에폭시 수지와 같은 접착제를 사용하여 그들을 접착하는 것이 바람직하다.

【발명의 효과】

<77> 이상 설명한 바와 같이, 패터닝된 에미터를 이용한 전자방출 노광장치는 유전체 평판 상에 형성된 패터닝된 반도체 박막을 마스크로 이용한다. 상기 에미터를 가열하면, 에미터에서 반도체 박막으로 가리워진 부분에서는 전자가 방출되지 않고, 노출된 유전체 평판으로부터 전자가 방출되므로 에미터 패턴모양이 그대로 기판에 투사된다. 자석 또는 편향장치를 이용하여 상기 에미터로부터 방출된 전자 빔을 제어할 수 있으며, 따라서 1:1 투사 또는 x:1 투사를 얻을 수 있다. 또한, 초전도체 평판과 패터닝된 마스크를 각각 준비하여 결합시킴으로써 패터닝된 에미터를 용이하게 제작할 수 있으며, 제조과정 중 포토레지스트에 의한 오염을 막을 수 있다.

<78> 본 발명은 도면을 참조하여 실시예를 참고로 설명되었으나, 이는 예시적인 것에 불과하며, 당해 분야에서 통상의 지식을 가진 자라면 이로부터 다양한 변형 및 균등한 실시예가 가능하다는 점을 이해할 것이다. 따라서, 본 발명의 진정한 기술적 보호범위는 첨부된 특허청구범위에 한해서 정해져야 할 것이다.

【특허청구범위】**【청구항 1】**

초전체 평판 상에 패터닝된 반도체 박막이 표면에 형성된 소정 두께의 유전체 평판이 적층되고, 기판 홀더에 대하여 소정 간격을 두고 배치되며, 상기 기판 홀더와 마주보는 면에 상기 패터닝된 반도체 박막이 배치되는 초전체 에미터;

상기 에미터를 가열하는 열원; 및

상기 에미터로부터 방출된 전자들의 경로를 제어하기 위하여, 상기 에미터 및 상기 기판 홀더의 외곽에 배치된 자석 또는 직류자장 발생장치;를 구비하는 것을 특징으로 하는 1:1의 투사용 전자방출 노광장치.

【청구항 2】

제 1 항에 있어서,

상기 초전체 평판 및 상기 유전체 평판 사이에 소정 두께의 접착층;이 더 형성된 것을 특징으로 하는 1:1 투사용 전자방출 노광장치.

【청구항 3】

제1항에 있어서,

상기 열원은 전기저항 가열을 이용하는 접촉식 가열판인 것을 특징으로 하는 1:1 투사용 전자방출 노광장치.

【청구항 4】

제 1 항에 있어서,

상기 열원은 적외선을 발생하는 원격 가열 장치인 것을 특징으로 하는 1:1 투사용 전자방출 노광장치.

【청구항 5】

제 1 항에 있어서,

상기 초전체 평판은, LiNbO_3 , LiTaO_3 , BaTiO_3 및 $\text{Pb}(\text{Zr}, \text{Ti})\text{O}_3$ 으로 이루어진 그룹 중 선택된 초전체로 제조된 것을 특징으로 하는 1:1 투사용 전자방출 노광장치.

【청구항 6】

제 1 항에 있어서,

상기 유전체 평판은 사파이어 평판인 것을 특징으로 하는 1:1 투사용 전자방출 노광장치.

【청구항 7】

제 1 항에 있어서,

상기 유전체 평판은 0.1 ~ 1 mm 두께의 평판인 것을 특징으로 하는 1:1 투사용 전자방출 노광장치.

【청구항 8】

제 1 항에 있어서,

상기 반도체 박막은 실리콘 박막인 것을 특징으로 하는 1:1 투사용 전자방출 노광장치.

【청구항 9】

제 1 항에 있어서,

상기 반도체 박막은 100 ~ 10,000 Å 두께로 형성된 것을 특징으로 하는 1:1 투사용 전자방출 노광장치.

【청구항 10】

초전체 평판 상에 패터닝된 반도체 박막이 표면에 형성된 소정 두께의 유전체 평판이 적층되고, 기판 홀더에 대하여 소정 간격을 두고 배치되며, 상기 기판 홀더와 마주보는 면에 상기 패터닝된 반도체 박막이 배치되는 초전체 에미터;

상기 에미터를 가열하기 위한 열원; 및

상기 에미터로부터 방출된 전자들의 경로를 제어하기 위하여, 상기 에미터와 상기 기판 홀더 사이에 배치된 편향장치;를 구비하는 것을 특징으로 하는 x:1 투사용 전자방출 노광장치.

【청구항 11】

제 10 항에 있어서,

상기 초전체 평판과 상기 유전체 평판 사이에 소정 두께의 접착층;이 더 형성된 것을 특징으로 하는 x:1 투사용 전자방출 노광장치.

【청구항 12】

제 10 항에 있어서, 상기 편향장치는,

상기 에미터로부터 방출된 전자들을 편향시키는 편향판들; 및

상기 편향된 전자들을 집속시키는 적어도 하나의 자기 렌즈;를 구비하는 것을 특징으로 하는 x:1 투사용 전자방출 노광장치.

【청구항 13】

제 10 항에 있어서,

상기 열원은 전기저항 가열을 이용하는 접촉식 가열판인 것을 특징으로 하는 x:1 투사용 전자방출 노광장치.

【청구항 14】

제 10 항에 있어서,

상기 열원은 적외선을 발생하는 원격 가열 장치인 것을 특징으로 하는 x:1 투사용 전자방출 노광장치.

【청구항 15】

제 10 항에 있어서,

상기 초전체 평판은, LiNbO_3 , LiTaO_3 , BaTiO_3 및 $\text{Pb}(\text{Zr}, \text{Ti})\text{O}_3$ 으로 이루어진 그룹 중 선택된 초전체로 제조된 것을 특징으로 하는 x:1 투사용 전자방출 노광장치.

【청구항 16】

제 10 항에 있어서,

상기 유전체 평판은 사파이어 평판인 것을 특징으로 하는 x:1 투사용 전자방출 노광장치.

【청구항 17】

제 10 항에 있어서,

상기 유전체 평판은 0.1 ~ 1 mm 두께의 평판인 것을 특징으로 하는 x:1 투사용 전자방출 노광장치.

【청구항 18】

제 10 항에 있어서,

상기 반도체 박막은 실리콘 박막인 것을 특징으로 하는 x:1 투사용 전자방출 노광 장치.

【청구항 19】

제 10 항에 있어서,

상기 반도체 박막은 100 ~ 10,000 Å 두께로 형성된 것을 특징으로 하는 x:1 투사용 전자방출 노광장치.

【청구항 20】

초전체 평판 상에 패터닝된 반도체 박막이 표면에 형성된 소정 두께의 유전체 평판이 적층되고, 기판 홀더에 대하여 소정 간격을 두고 배치되며, 상기 기판 홀더와 마주보는 면에 상기 패터닝된 반도체 박막이 배치되는 초전체 에미터를 제조하는 방법에 있어서,

(a) 초전체 평판을 준비하는 단계;

(b) 유전체 평판 상에 패터닝된 반도체 박막을 형성하여 패터닝된 마스크를 준비하는 단계; 및

(c) 상기 초전체 평판 상에 상기 패터닝된 마스크를 배치하는 단계;를 구비하는 것을 특징으로 하는 초전체 에미터를 제조하는 방법.

【청구항 21】

제 20 항에 있어서, 상기 (b)단계는,

(b1) 소정 두께의 유전체 평판 상에 소정 두께의 반도체 박막 및 레지스트를 순차적으로 형성하는 단계;

(b2)상기 레지스트를 소정의 패턴으로 패터닝하는 단계;

(b3) 상기 레지스트 패턴을 마스크로 하여 상기 반도체 박막을 패터닝하는 단계;
및

(b4)상기 감광막 패턴을 제거하는 단계;를 구비하는 것을 특징으로 하는 초전체 에미터를 제조하는 방법.

【청구항 22】

제 20 항에 있어서, 상기 (c)단계는,

상기 초전체 평판 상에 접착층을 형성하고, 상기 접착층 상에 상기 패터닝된 마스크를 접착시키는 단계;인 것을 특징으로 하는 초전체 에미터를 제조하는 방법.

【청구항 23】

제 20 항에 있어서,

상기 초전체 평판은, LiNbO_3 , LiTaO_3 , BaTiO_3 및 $\text{Pb}(\text{Zr}, \text{Ti})\text{O}_3$ 으로 이루어진 그룹 중 선택된 초전체로 제조된 것을 특징으로 하는 초전체 에미터를 제조하는 방법.

【청구항 24】

제 20 항에 있어서,

상기 유전체 평판은 사파이어 평판인 것을 특징으로 하는 초전체 에미터를 제조하는 방법.

【청구항 25】

제 20 항에 있어서,

상기 유전체 평판은 0.1 ~ 1 mm 두께의 평판인 것을 특징으로 하는 초전체 에미터를 제조하는 방법.

【청구항 26】

제 20 항에 있어서,

상기 반도체 박막은 실리콘 박막인 것을 특징으로 하는 초전체 에미터를 제조하는 방법.

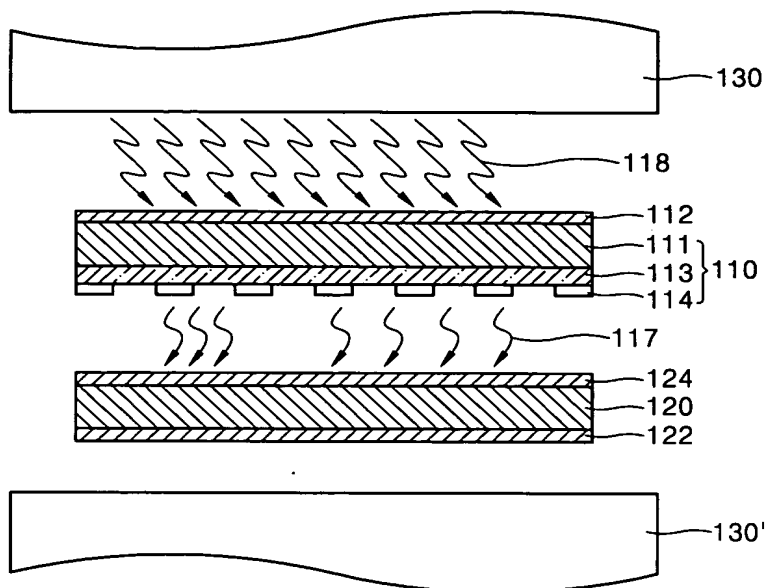
【청구항 27】

제 20 항에 있어서,

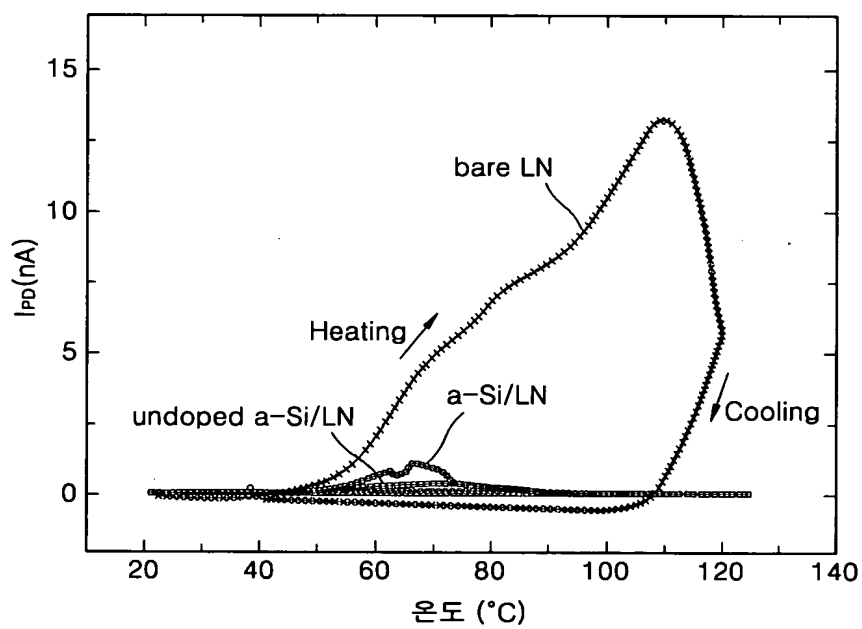
상기 반도체 박막은 100 ~ 10,000 Å 두께로 형성된 것을 특징으로 하는 초전체 에미터를 제조하는 방법.

【도면】

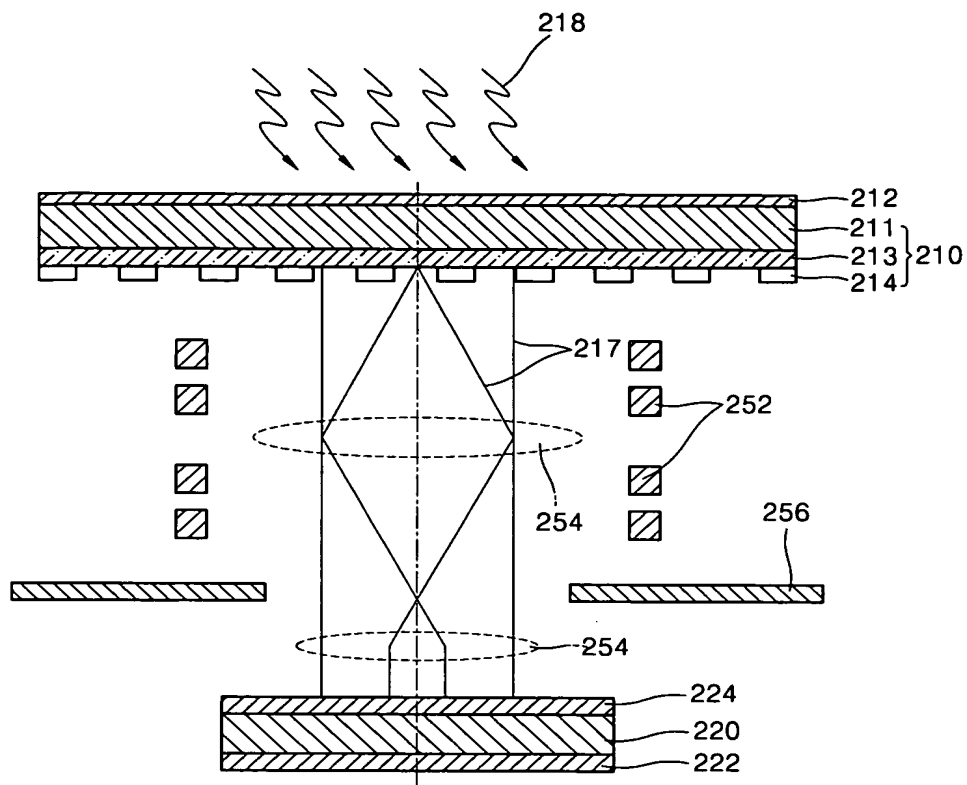
【도 1】



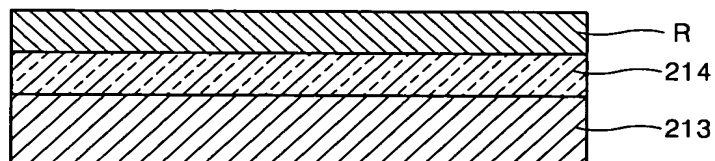
【도 2】



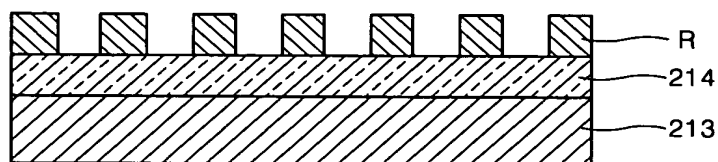
【도 3】



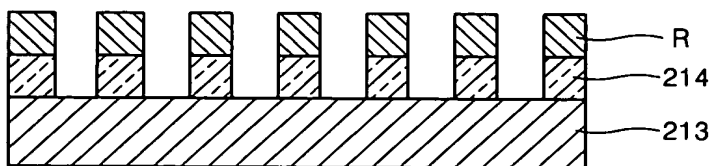
【도 4a】



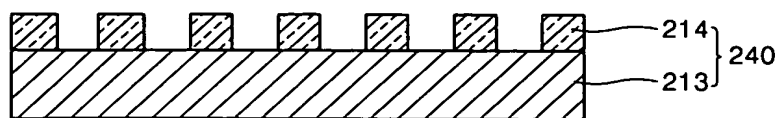
【도 4b】



【도 4c】



【도 4d】



【도 4e】

